

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75135

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵
H 01 L 29/788
29/792
G 11 C 16/02

識別記号

厅内整理番号

F I

技術表示箇所

8225-4M
9191-5L

H 01 L 29/78
G 11 C 17/00

3 7 1
3 0 7 D

審査請求 未請求 請求項の数1(全3頁) 最終頁に続く

(21)出願番号 特願平3-205873

(22)出願日 平成3年(1991)8月16日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

下地 規之

京都府京都市右京区西院溝崎町21番地 □
ローム株式会社内

(72)発明者 高須 秀視

京都府京都市右京区西院溝崎町21番地 □
ローム株式会社内

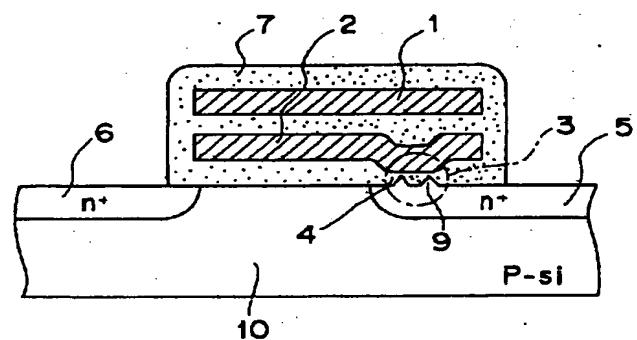
(74)代理人 弁理士 安村 高明 (外1名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 フローティング・ゲートを設けたEEP型ROMのトンネル効果の向上を企る。

【構成】 トンネルウインドウ部と対面する半導体基板の表面に錐形凸部を設けてその先端部をコントロール・ゲートに近接させる。



1

【特許請求の範囲】

【請求項1】 半導体基板上にフローティング・ゲートを設けたEEP型ROMメモリーセルにおいて、該フローティング・ゲートのトンネルウインドウ部に面する前記半導体基板の表面に突出した少なくとも1つ以上の錐形又は台錐形の凸部を設けてなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フローティング・ゲートを持つEEP型又はEP型のROMとして、従来より書き込みと消去が低電圧で行えるようにした半導体記憶装置に係る。

【0002】

【従来の技術】 もっとも基本的なフローティング・ゲートタイプのEEP型ROMは、データ線側の拡散領域と、フローティング・ゲートの間にトンネルウインドウを設け電子の出し入れを行うものであり、通常この種のトンネルウインドウのトンネル酸化膜は、一様についているから、電子は、トンネルウインドウの面内で均一に流れることになる。又、フローティング・ゲートへの電子の出し入れを改良した方法として、従来多結晶Si表面の凹凸を利用し、注入電界を高める方法も提案されているが、この方法では、フローティング・ゲートの表面に凹凸を形成し、別のPoly-Si配線に電荷を引き抜く方法や、又、フローティング・ゲート下に、凹凸をもった注入用の配線を形成し、その配線から注入するものであり、未だに種々の問題が実用上残っていた。

【0003】 すなわち、従来のもので、通常、フローティング・ゲートに電子の注入を行うには、制御ゲートに20V以上の高電圧をかける必要があり、その為、素子構造が複雑で、素子面積を大きくとる必要があり、又、Poly-Siの凹凸を利用した例も、配線が増える等、回路の複雑さ、素子面積の増大を伴う欠点があった。

【0004】

【発明が解決しようとする課題】 本発明は、前記従来例の問題を解決すべく、この種EEP型ROMにおいて、プログラムに高電圧を必要とする為に大きくなっていたメモリーセルを、低電圧プログラムを達成することで、メモリーセルの縮小、又、周辺回路の簡素化をはかり、又、素子の信頼性を低電圧プログラムにより高めるようにすることを目的とする。

【0005】

【課題を解決するための手段】 前記目的を達成すべく、本発明は、低電圧プログラミングを達成する為、トンネルウインドウ領域に対応するSi半導体基板の表面に少なくとも1個以上の錐形又は台錐形の凸部を突出して凹凸を設けて、該凸部によりプログラミングの際のトンネル酸化膜中の電界をこの凸部で集中させるようにして前

2

記従来の欠点を除去したものである。

【0006】

【作用】 上記の如く、Si半導体基板のトンネルウインドウ表面に錐形又は台錐形の凸部を突出して形成すると、該凸部での先端部でトンネルすべき酸化膜の巾がより狭くなつてその部分における電界が集中的に高められ、その先端部分でトンネルしやすくなる効果が派生して来て、従来より低電圧で書き込み・消去が行える。一方、トンネル酸化膜を厚くしても従来と同じ書き込み・消去効率が得られる為に、この種装置で、良好な製造マージンが得られ、かつ信頼性の高い酸化膜が形成でき、さらにトンネルウインドウ部の容量を小さく出来るので、トンネル酸化膜にかかる電圧を大きくすることができる等の効果が得られるものである。

【0007】

【実施例】 以下、本発明にかかる半導体記憶装置の一実施例を図面について詳細に説明する。図1において、10はフローティング・ゲートを持つEEP型のROMのSi半導体基板にして、1はコントロール・ゲート、20はフローティング・ゲート、3はトンネルウインドウ、4はトンネル酸化膜、5はドレイン拡散層、6はソース拡散層にして、9は半導体基板10の上面のトンネルウインドウ3と対面する部分にエッチングで形成した少なくとも1つ以上の錐形又は台錐形の凸部で、該凸部の先端部はフローティング・ゲートに対して最近接して位置する。

【0008】 上記の如き構成よりなるEEP型ROMを用いると、データの書き込み側ではドレイン拡散層領域5を接地しており、コントロール・ゲートに正の高電圧30を印加すると、トンネルウインドウ領域に形成されたSi半導体基板の凸部から電子が、トンネル酸化膜4を通してフローティング・ゲート2に注入される。消去側では書き込み側とは逆にドレイン拡散層領域5を高電圧により、コントロール・ゲート1を接地するとフローティング・ゲート2から電子がひき抜かれるようになる。なお、本実施例で、トンネルウインドウ領域に対面するSi半導体基板の表面に形成する凸部は、例えば、KOH等のSi異方性エッチング液で形成することができる。書き込み又は消去の際、Siの凸部9とコントロール・ゲート1と容量的に結合したフローティング・ゲート2との間に電位差が発生する。この時フローティング・ゲートからのびた電気力線は、インジェクターの凸部に集中し、局部的に電界が高まり、この為より低い電圧で電子がトンネリングする様になり、低電圧プログラムが達成される。

【0009】 すなわち本発明は、低電圧プログラミングを達成する為、トンネルウインドウ領域のSi半導体基板の表面に凸部を設け、プログラミングの際のトンネル酸化膜中の電界を凸部の先端部に集中させることができて、当該トンネルウインドウSi表面に凹凸を形成する

3

と凸部での電界が高められ、その部分でトンネルしやすくなることになる。

【0010】したがって、本発明にかかるEEP型ROMは、プログラムに高電圧を必要とする為に大きくなっていたメモリーセルを、低電圧プログラムを達成することで、メモリーセルの縮少、又、周辺回路の簡素化をはかると共に、素子の信頼性を低電圧プログラムにより高めることができる利点を有するものである。

【0011】本発明は、上記の如く、トンネルウインドウに面する半導体基板に錐形等の尖鋭した先端部を有する凸部を設けた簡単な構成で、フローティング・ゲートへの書き込み、消去の際に、凸部により、電圧を印加した時に生じるトンネル酸化膜の電界が局部的に高められ、通常より低い電圧でトンネリングが可能となって、所期の目的を達成することができるものである。

【図面の簡単な説明】

4

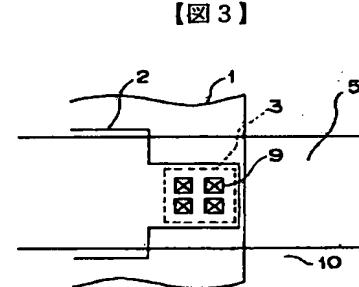
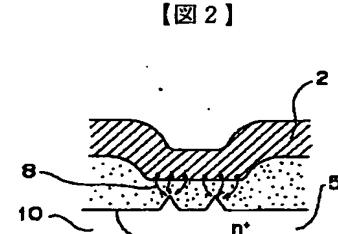
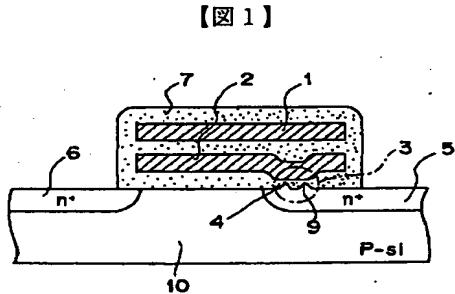
* 【図1】 本発明にかかるEEP型ROMの一実施例を示す断面図である。

【図2】 図1の一部の拡大図である。

【図3】 図2の上面図である。

【符号の説明】

1	コントロール・ゲート
2	フローティング・ゲート
3	トンネルウインドウ
4	トンネル酸化膜
5	ドレイン拡散層
6	ソース拡散層
7	層間膜
8	電気力線
9	Siの凸部
10	半導体基板



フロントページの続き

(51) Int.CI.5

識別記号 庁内整理番号

F I

技術表示箇所

G 1 1 C 16/04